

Міністерство освіти і науки України
Національний аерокосмічний університет ім. М. Є. Жуковського
«Харківський авіаційний інститут»

Кафедра комп'ютерних систем, мереж і кібербезпеки (№ 503)

ЗАТВЕРДЖУЮ

Голова НМК



(підпис)

М.С. Зряхов

(ініціали та прізвище)

« 30 » 08 2019 р.

**РОБОЧА ПРОГРАМА ОBOB'ЯЗКОВОЇ
НАВЧАЛЬНОЇ ДИСЦИПЛІНИ**

Технології проектування комп'ютерних систем

(назва навчальної дисципліни)

Галузь знань: 12 «Інформаційні технології»
(шифр і найменування галузі знань)

Спеціальність: 125 «Кібербезпека»
(код та найменування спеціальності)

Освітня програма: Безпека інформаційних і комунікаційних систем

Освітня програма: Кібербезпека індустріальних систем
(найменування освітньої програми)

Форма навчання: денна

Рівень вищої освіти: перший (бакалаврський)

Харків 2019 рік


Робоча програма Технології проектування комп'ютерних систем
(назва дисципліни)

для студентів за спеціальністю 125 «Кібербезпека»

освітня програма Безпека інформаційних і комунікаційних систем

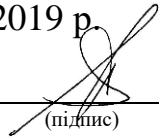
освітня програма Кібербезпека індустріальних систем

« 26 » 08 2019 р., – 11 с.

Розробник: Ілляшенко О.О., к.т.н., доцент
(прізвище та ініціали, посада, науковий ступінь та вчене звання)  (підпис)

Робочу програму розглянуто на засіданні кафедри комп'ютерних систем, мереж і кібербезпеки
(назва кафедри)

Протокол № 1 від « 30 » 08 2019 р.

Завідувач кафедри д.т.н., професор
(науковий ступінь та вчене звання)  (підпис)

В. С. Харченко
(ініціали та прізвище)

1. Опис навчальної дисципліни

2.

Найменування показників	Галузь знань, спеціальність, освітня програма, рівень вищої освіти	Характеристика навчальної дисципліни (заочна форма навчання)
Кількість кредитів – 4	<p>Галузь знань <u>12 «Інформаційні технології»</u> (шифр та найменування)</p> <p>Спеціальність <u>125 «Кібербезпека»</u> (код та найменування)</p> <p>Освітня програма <u>«Безпека інформаційних і комунікаційних систем», «Кібербезпека індустриальних систем»</u> (найменування)</p> <p>Рівень вищої освіти: перший (бакалаврський)</p>	Цикл загальної підготовки: нормативна
Кількість модулів – 1		Навчальний рік
Кількість змістових модулів – 2		2019 / 2020
Індивідуальне завдання: <u>немає</u>		Семестр
		<u>4-й</u>
Загальна кількість годин: 48 / 120		Лекції
		<u>32</u> години
		Практичні, семінарські *
		<u>00</u> годин
		Лабораторні *
	<u>16</u> годин	
	Самостійна робота	
	<u>72</u> годин	
	Вид контролю	
	залік	
Тижневих годин для денної форми навчання: аудиторних – 3 самостійної роботи студента – 4		

Співвідношення кількості годин аудиторних занять до самостійної роботи становить: 48 / 72

* Аудиторне навантаження може бути зменшене або збільшене на одну годину в залежності від розкладу занять.

2. Мета та завдання навчальної дисципліни

Мета вивчення: оволодіти навичками й засобами проектування цифрових (комп'ютерних) систем. Придбати навички й уміння розробляти системи (проекти) на ПЛІС, проводити пошук проектних помилок та вміти діагностувати розроблені апаратні рішення. Вивчити мову опису апаратури VHDL. Ознайомитися з існуючими засобами автоматизованого проектування цифрових систем.

Завдання:

- розгляд процесу проектування та історії розвитку цифрових систем;
- розгляд методів та засобів проектування цифрових систем;
- навчити студентів основних етапів розробки проектів на ПЛІС.

Знайомство з рівнями моделювання;

- ознайомити студентів із засобами та системи автоматизованого проектування цифрових проектів на ПЛІС;
- навчити студентів мові опису цифрових проектів VHDL;
- розвинути у студентів навички розробки цифрових проектів на мікросхемах програмованої логіки.

Результати навчання: в результаті вивчення дисципліни студенти повинні бути здатними розробляти та тестувати за допомогою Testbench цифрові проекти на ПЛІС.

Міждисциплінарні зв'язки: дисципліна базується на поняттях дисциплін «Дискретна математика», «Комп'ютерна електроніка і схемотехніка».

3. Програма навчальної дисципліни

Модуль 1.

Змістовий модуль 1. Засоби та технології автоматизованого проектування цифрових систем.

Тема 1. Процес проектування комп'ютерних систем. Історія розвитку. Методи та засоби проектування.

Предмет, ціль вивчення й завдання дисципліни. Структура, зміст дисципліни й методичні рекомендації з її вивчення. Місце дисципліни в навчальному процесі. Характеристика рекомендованих під час вивчення дисципліни джерел інформації. Процес проектування комп'ютерних систем. Поняття обчислювальної система. Історія розвитку й покоління цифрових систем та засобів проектування.

Тема 2. Мікросхеми програмованої логіки. Класифікація ПЛІС. Структура FPGA мікросхеми.

Поняття програмованої логіки. Історія розвитку мікросхем програмованої логіки. Класифікація мікросхем програмованої логіки. Різниця між CPLD і FPGA структурами. Основні фірми розробники мікросхем ПЛІС. Структура мікросхем FPGA.

Тема 3. Загальні відомості о процесі проектування. Основні етапи розробки проектів на ПЛІС. Області та рівні моделювання.

Процес проектування цифрових систем на мікросхемах програмованої логіки. Стратегія проектування. Діаграма Гайского-Кана. Області та рівні моделювання при проектуванні СБІС. Основні етапи розробки проектів на ПЛІС. Вибір елементної бази та САПР. Специфікація проекту. Розробка загальної структури проекту. Змістовний опис проекту та його частин. Компіляція проекту. Верифікація проекту. Визначення часових характеристик проекту. Організація проектних експериментів.

Тема 4. Засоби автоматизованого проектування цифрових систем. Загальний підхід розробки проектів на ПЛІС в середовище Quartus II.

Системи автоматизованого проектування. Класифікація САПР. Фірми розробники САПР. Загальний підхід розробки проектів на ПЛІС в середовище Quartus II. Quartus II цикл розробки проекту. Представлення та ввід проекту, проектні обмеження. Синтез. Place&Route. Симуляція проектних рішень. Timing Analyzing.

Змістовий модуль 2. Методи та мови опису цифрових проектів на ПЛІС.

Тема 5. Методи та мови опису цифрових проектів на ПЛІС. Мова VHDL, основні поняття.

Методи та мови опису поведінки цифрових схем. Використання систем булевих виразів, таблиці істинності. Граф-схема алгоритму. Графічний та текстовий опис проекту на ПЛІС. Огляд існуючих мов опису цифрових проектів Verilog HDL, JHDL, VHDL та ін. Мова VHDL, основні поняття. Структурний VHDL. Поведінковий VHDL. Типи даних мови VHDL.

Тема 6. Поведінковий та структурний VHDL-опис цифрових схем. Поняття TestBench модуль.

Стандарти мови VHDL (VHDL`87 ANSI/IEEE Std 1076-1987; VHDL`93 ANSI/IEEE Std 1076-1993 – основний стандарт; VHDL-AMS Std 1076.1-2007 – опис аналогових та цифро-аналогових схем; IEEE Std 1076-2008 – актуальна версія основного стандарту). Мовна структура ENTITY. Ключові слова для визначення режимів порту. Типи сигналу. Поведінковий опис цифрових схем. Структурний опис цифрових схем. Поняття TestBench модуль.

Тема 7. Опис сигналів та процесів. Типи затримок. Поняття Δ-затримки при моделюванні. Опис змінних. Атрибути в мові VHDL.

Опис сигналів та процесів. Стан процесу. Оператор PROCESS. Типи затримок. Інерційна затримка компоненту. Транспортна затримка (час розповсюдження сигналу). Оператор WAIT. Поняття Δ-затримки при моделюванні. Опис змінних та констант. Використання змінних та констант. Відмінність між сигналами та змінними.

Тема 8. Синхронні та асинхронні процеси, послідовні та паралельні оператори VHDL. Опис тригерних схем на VHDL. Поняття підпрограми.

Синхронні та асинхронні процеси. Атрибут EVENT. Послідовні та паралельні оператори VHDL. Оператор LOOP. Опис тригерних схем на VHDL.

Класифікація тригерів. Способи опису тригерів. Карти Карно. Діаграми стану. Таблиці переходів. Часові діаграми. Умовні оператори та оператори вибору (IF, CASE). Підпрограми. Оператор блока.

Тема 9. Пакети в VHDL. Концепція видимості опису та об'єктів в VHDL. RTL-синтез, основні поняття. Опис регістрових схем.

Опис в VHDL типових дискретних схем. Пакети в VHDL. Концепція видимості опису та об'єктів в VHDL. Опис регістрових схем. Поняття RTL. RTL-синтез.

Модульний контроль.

4. Структура навчальної дисципліни*

Назви змістових модулів і тем	Кількість годин				
	Денна форма				
	Усього	У тому числі			
л		п	лаб.	с. р.	
1	2	3	4	5	6
Модуль 1					
Змістовий модуль 1. Засоби та технології автоматизованого проектування цифрових систем					
Тема 1. Процес проектування комп'ютерних систем. Історія розвитку. Методи та засоби проектування	12	2		2	8
Тема 2. Мікросхеми програмованої логіки. Класифікація ПЛІС. Структура FPGA мікросхеми	14	4		2	8
Тема 3. Загальні відомості о процесі проектування. Основні етапи розробки проектів на ПЛІС. Області та рівні моделювання.	14	4		2	8
Тема 4. Засоби автоматизованого проектування цифрових систем. Загальний підхід розробки проектів на ПЛІС в середовище Quartus II	14	4		2	8
Разом за змістовим модулем 1	54	14		8	32
Змістовий модуль 2. Методи та мови опису цифрових проектів на ПЛІС					
Тема 5. Методи та мови опису цифрових проектів на ПЛІС. Мова VHDL, основні поняття	13	3		2	8
Тема 6. Поведінковий та структурний VHDL-опис цифрових схем. Поняття TestBench модулів.	14	4		2	8
Тема 7. Опис сигналів та процесів. Типи затримок. Поняття Δ-затримки при моделюванні. Опис змінних. Атрибути в мові VHDL	14	4		2	8
Тема 8. Синхронні та асинхронні процеси, послідовні та паралельні оператори VHDL. Опис тригерних схем на VHDL. Поняття підпрограм	13	4		1	8
Тема 9. Пакети в VHDL. Концепція видимості опису та об'єктів в VHDL. RTL-синтез, основні поняття. Опис регістрових схем.	12	3		1	8
Разом за змістовим модулем 2	66	18		8	40
Усього годин	120	32		16	72

5. Теми семінарських занять

№ з/п	Назва теми	Кількість годин
		Денна форма навчання
1	<i>Не передбачено</i>	
	Разом	

6. Теми практичних занять

№ з/п	Назва теми	Кількість годин
		Денна форма навчання
1	<i>Не передбачено</i>	
	Разом	

7. Теми лабораторних занять

№ з/п	Назва теми	Кількість годин
		Денна форма навчання
1	1) Мова VHDL як програмна система. 2) Структура проекту. Службове слово ENTITY та архітектурні тіла. 3) Типи даних VHDL. Фізичні типи. Скалярні типи. Масиви та записи. Підтипи. 4) Опис цифрових проектів на мові VHDL в середовище проектування пакету Quartus II.	2
2	1) Розробка ієрархічних проектів на ПЛІС в середовище проектування пакету. Quartus II. 2) Поняття бібліотечний елемент. Створення користувальних бібліотечних елементів. 3) Використання мегафункцій при розробки проектних рішень. Поняття мегафункція.	2
3	1) Імплементация ПЛІС-проектів. 2) Альтернативні засоби автоматизованого проектування – Xilinx WebPack ISE. 3) Засоби середовища проектування пакету Quartus II для розташування проектних рішень на кристалі ПЛІС. 4) Знайомство з Редактором призначень (Assignment Editor). 5) Знайомство з Редактором топології (Floorplanner).	2
4	1) Мова VHDL як програмна система. 2) Структура проекту. Службове слово ENTITY та архітектурні тіла. 3) Типи даних VHDL. Фізичні типи. Скалярні типи. Масиви та записи. Підтипи. 4) Опис цифрових проектів на мові VHDL в середовище проектування пакету Quartus II.	2
5	1) Існуючі можливості опису проектних рішень мови VHDL. 2) Поведінковий та структурний опис проектів. 3) Умовно-графічне позначення текстового опису проектних рішень.	2
6	1) Процес верифікації, основні етапи та необхідні кроки. 2) Верифікація та тестування проектних рішень цифрових схем	2

	представлених за допомогою мови програмування VHDL. 3) Розробка TestBench модулів.	
7	1) Ознайомитися з додатковими можливостями мови VHDL. 2) Синхронні та асинхронні процеси, послідовні та паралельні оператори VHDL. 3) Опис сигналів та процесів. Типи затримок. Поняття Δ -затримки при моделюванні. 4) Знайомство з арифметико-логічним пристроєм. Основні поняття та логика функціонування.	2
8	1) Ознайомитися з основними типами обчислювачів, представлених в якості мегафункцій в середовищі проектування Quartus II Web Edition 13.0sp1. 2) Реалізувати відповідно до індивідуального завданням принципову схему арифметико-логічного пристрою (АЛП), яке на підставі коду операції виконує задані дії над операндами 3) Ознайомитися з поняттям код операції і операндами	2
Разом		16

8. Самостійна робота*

№ з/п	Назва теми	Кількість годин
		Денна форма навчання
1	Розробка ієрархічних проектів на ПЛІС в середовище проектування пакету. Quartus II.	8
2	Використання мегафункцій при розробці проектних рішень	8
3	Імплементация проектних рішень на ПЛІС – Xilinx WebPack ISE	8
4	Порівняння можливостей існуючих мов опису цифрових проектів Verilog HDL, JHDL, VHDL та ін.	8
5	Стандарти мови VHDL (VHDL`87 ANSI/IEEE Std 1076-1987; VHDL`93 ANSI/IEEE Std 1076-1993 –VHDL-AMS Std 1076.1-2007, IEEE Std 1076-2008 –)	8
6	Емуляція роботи схеми з використання сигнального редактору	8
7	Модуль тестування (TestBench) для проектних рішень	8
8	Послідовні та паралельні оператори VHDL	8
Разом		72

9. Індивідуальні завдання

Не передбачено

10. Методи навчання

Проведення аудиторних лекцій, практичних занять, консультацій, а також самостійна робота студентів за матеріалами, опублікованими кафедрою.

11. Методи контролю

Проведення поточного тестового контролю, письмового модульного контролю, підсумковий контроль у вигляді заліку.

12. Розподіл балів, які отримують студенти

12.1. Розподіл балів, які отримують студенти (кількісні критерії оцінювання)

Складові навчальної роботи	Бали за одне заняття (завдання)	Кількість занять (завдань)	Сумарна кількість балів
Змістовний модуль 1			
Робота на лекціях	0...1	8	0...8
Виконання і захист лабораторних (практичних) робіт	0...7	4	0...28
Модульний контроль	0...14	1	0...14
Змістовний модуль 2			
Робота на лекціях	0...1	8	0...8
Виконання і захист лабораторних (практичних) робіт	0...7	4	0...28
Модульний контроль	0...14	1	0...14
Усього за семестр			0...100

Семестровий контроль (іспит/залік) проводиться у разі відмови студента від балів поточного тестування й за наявності допуску до іспиту/заліку. Під час складання семестрового іспиту/заліку студент має можливість отримати максимум 100 балів.

Білет для заліку складається з двох теоретичних питань (0...30 балів за кожне питання) та одно практичне завдання (0...40 балів).

12.2. Якісні критерії оцінювання

Необхідний обсяг знань для одержання позитивної оцінки.

Студент повинен знати:

- основні етапи життєвого циклу проектування базових цифрових пристроїв на ПЛІС;
- сучасні методи, засоби та системи автоматизованого проектування для проектування та тестування базових цифрових пристроїв на ПЛІС;
- мову VHDL.

Необхідний обсяг вмінь для одержання позитивної оцінки.

Студент повинен вміти:

- проектувати та тестувати цифрові пристрої за допомогою сучасних засобів автоматизованого проектування;
- використовувати мову VHDL для опису та тестування цифрових пристроїв;
- проектувати різними способами цифрові пристрої на програмовних логічних інтегральних схемах.

12.3 Критерії оцінювання роботи студента протягом семестру

Задовільно (60-74). Показати мінімум знань та умінь. Захистити всі лабораторні роботи та здати тестування. Знати основні етапи життєвого циклу розроблення та верифікації цифрових пристроїв на ПЛІС та вміти проектувати цифрові пристрої на ПЛІС різними способами.

Добре (75-89). Продемонструвати впевнені знання з предмету, виконати усі лабораторні роботи, тестування та завдання. Показати вміння виконувати та захищати всі лабораторні роботи в обумовлений викладачем строк з обґрунтуванням рішень та заходів, які запропоновано у роботах. Вміти пояснювати складні способи проектування та тестування цифрових пристроїв на ПЛІС, використовувати TestBench модулі для тестування проектів на ПЛІС. Знати відповіді на усі додаткові питання у лабораторних роботах.

Відмінно (90-100). Повністю знати основний та додатковий матеріал. Орієнтуватися у сучасних засобах проектування та тестування цифрових проектів на програмовній логіці. Вміти зобразити цифровий пристрій на ПЛІС без підтримки засобів автоматизованого проектування. Вміти використовувати засоби синтезу для реалізації цифрових проектів на ПЛІС з обмеженнями. Вміти використовувати навчальну плату Altera DE2 для проектування і налагодження проекту.

Шкала оцінювання: національна та ECTS

Сума балів	Оцінка за традиційною шкалою	
	Іспит, диференційований залік	Залік
90 – 100	Відмінно	Зараховано
75 – 89	Добре	
60 – 74	Задовільно	
0 – 59	Незадовільно	Не зараховано

13. Методичне забезпечення

1. Презентації лекцій.
2. Куланов А.О., Ілляшенко О.О. Конспект лекцій (в електронному вигляді).
3. Куланов В.А., Перепелицин А.Є. Лабораторні роботи (в електронному вигляді).

14. Рекомендована література

Базова

1. Дж. Ф. Уэйкерли Проектирование цифровых устройств. В 2-х томах. М.: Постмаркет, 2002.
2. Уокерли Дж. Архитектура и программирование микро-ЭВМ: В 2-х книгах. Пер. с англ. – М.: Мир, 1984., ил.

3. Digital Logic and Microprocessor Design with VHDL (soon with Verilog), Enoch O.Hwang, La Sierra University, Riverside, CA, Thomson – 2006, 2018.
4. The Design Warrior's Guide to FPGAs. Clive Maxfield, Elsevier, 2004, 560 p.
5. Стешенко В.Б. ПЛИС фирмы ALTERA: проектирование устройств обработки сигналов. – М.: ДОДЭКА, 2000.– 128 с.
6. Advanced FPGA Design: Architecture, Implementation, and Optimization - Steve Kilts. IEEE, 353 p.
7. Yalamanchili S. Introductory VHDL: From Simulation to Synthesis. Prentice-Hall, 2001, 401 p.

Допоміжна

1. Хоровиц, Хилл Искусство схемотехники, 2 том. – Мир. 2003, стр.: 704.
2. Угрюмов Е.П. Цифровая схемотехника. - СПб: BHV - Санкт-Петербург, 2000 г, 528 стр.
3. Reuse methodology manual for system-on-a-chip designs, third edition. Michael Keating, Pierre Bricaud, Kluwer Academic Publishers, 2002, 312 p.

15. Інформаційні ресурси

1. <https://www.intel.com/content/www/us/en/products/programmable.html>
2. <https://www.intel.com/content/www/us/en/programmable/support/training/curricula.html>
3. <https://www.xilinx.com/products/silicon-devices.html>
4. <http://www.csn.khai.edu>